

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月28日

出 願 番 号

Application Number:

特願2002-249097

[ ST.10/C ]:

[ JP2002-249097 ]

出 願 人

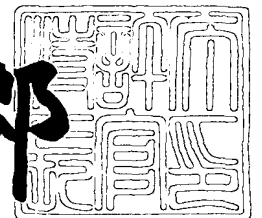
Applicant(s):

株式会社日立製作所  
株式会社北日本セミコンダクタテクノロジーズ  
日立デバイスエンジニアリング株式会社

2003年 2月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011607

【書類名】 特許願

【整理番号】 H02010751

【提出日】 平成14年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

    【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

    【氏名】 近江谷 厚生

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

    【氏名】 田中 耕太

【発明者】

    【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

    【氏名】 半田 直樹

【発明者】

    【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

    【氏名】 小林 謙治

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233594

    【氏名又は名称】 日立北海セミコンダクタ株式会社

【特許出願人】

    【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とそのテスト方法

【特許請求の範囲】

【請求項 1】 複数のワード線と、複数のビット線と、上記複数のワード線内の 1 つのワード線及び上記複数のビット線内の 1 つのビット線のそれぞれに結合されたメモリセルを複数含むメモリ回路を備え、

上記メモリ回路は、

第 1 テストモードのときに複数のワード線の中の 1 つ置き of ワード線を選択する動作、

第 2 テストモードのときに複数のワード線の全てを選択状態にし、かつ上記複数のビット線の全てに回路の接地電位を与える動作、

第 3 テストモードのときに複数のビット線の中の 1 つ置き of ビット線を所定電位にし、他のビット線を回路の接地電位にする動作、

第 4 テストモードのときに複数のビット線の全てをビット線の選択レベルに対応した所定電位にし、かつ上記複数のワード線の全てを非選択状態にする動作、

とを有することを特徴とする半導体装置。

【請求項 2】 請求項 2 において、

上記半導体装置は、上記メモリ回路をアクセスするマイクロプロセッサとモード制御回路とを更に備え、

上記モード制御回路に対するテストモードの設定により、マイクロプロセッサがスタンバイモードにされ、上記メモリ回路が上記第 1 ないし第 4 テストモードにされることを特徴とする半導体装置。

【請求項 3】 請求項 3 において、

上記メモリ回路は、マスク ROMであることを特徴とする半導体装置。

【請求項 4】 複数のワード線と、複数のビット線と、上記複数のワード線内の 1 つのワード線及び上記複数のビット線内の 1 つのビット線のそれぞれに結合されたメモリセルを複数含むメモリ回路を備えた半導体装置のテスト方法であって、

上記メモリ回路は、

第1テストモードのときに複数のワード線の中の1つ置きのワード線を選択する動作、

第2テストモードのときに複数のワード線の全てを選択状態にし、かつ上記複数のビット線の全てに回路の接地電位を与える動作、

第3テストモードのときに複数のビット線の中の1つ置きのビット線を所定電位にし、他のビット線を回路の接地電位にする動作、

第4テストモードのときに複数のビット線の全てをビット線の選択レベルに対応した所定電位にし、かつ上記複数のワード線の全てを非選択状態にする動作とを有し、

上記第1ないし第4テストモードのときの半導体装置の電源端子に流れる電流を測定し、ワード線相互、ビット線相互及びワード線とビット線とのショート不良の検出を行うことを特徴とする半導体装置のテスト方法。

【請求項5】 請求項4において、

上記半導体装置は、メモリ回路をアクセスするマイクロプロセッサとモード制御回路とを更に備え、

上記モード制御回路に対するテストモードの設定により、マイクロプロセッサがスタンバイモードにされ、かつ上記メモリ回路に対して上記第1ないし第4テストモードが設定され、各テストモードに対応して上記電源端子に流れる電流の測定が行われることを特徴とする半導体装置のテスト方法。

【請求項6】 請求項5において、

上記半導体装置のプローブ検査時において、

半導体装置の全体としての直流試験が実施され、

次に上記メモリ回路に対して上記第1ないし第4テストモードによるショート不良の検出が行われ、

次に半導体装置の交流試験が行われることを特徴とする半導体装置のテスト方法。

【請求項7】 請求項6において、

上記半導体装置の全体としての直流試験で良品とされたものについて上記メモ

リ回路のショート不良の検出が行われ、

上記メモリ回路のショート不良の無いものについて上記交流試験が行われることを特徴とする半導体装置のテスト方法。

【請求項 8】 請求項 7 において、

上記プローブ検査が実施された半導体装置が組み立てられてエージングが実施され、かかるエージングが終了した半導体装置に対して、半導体装置の全体としての直流試験が実施され、

次に上記メモリ回路に対して上記第 1 ないし第 4 テストモードによるショート不良の検出が行われ、

次に半導体装置の交流試験が行われることを特徴とする半導体装置のテスト方法。

【請求項 9】 請求項 8 において、

上記半導体装置の全体としての直流試験で良品とされたものについて上記メモリ回路のショート不良の検出が行われ、

上記メモリ回路のショート不良の無いものについて上記交流試験が行われることを特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置とテスト方法に関し、例えばメモリ回路を搭載した 1 チップマイクロコンピュータのテスト技術に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

本願発明を成した後の公知技術の調査によって、本願と関連する技術が開示されていると考えられるものとして以下の報告を受けた。特開平 8 - 3 3 9 6 9 6 号公報、特開平 8 - 3 3 9 6 9 9 号公報にはワード線のストレス印加のために、ワード線を交互又は全てを選択しているダイナミック型 R A M が開示されおり、特開平 1 1 - 2 3 8 3 9 7 号公報にはバーイン時にワード線を奇数（偶数）又は

全選択できるメモリが開示され、特開平 7 - 2 6 2 7 9 8 号公報には全ワード線へのストレス印加又は一本置き of ワード線のストレス印加ができるメモリが開示され、特開平 8 - 2 7 3 3 9 4 号公報には隣接ワード線間にストレスを印加し、その後全ワード線にストレスを印加するメモリが開示されている。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

プログラム等の重要なデータが格納されたマスク ROM (リード・オンリー・メモリ) 等を備えた 1 チップのマイクロコンピュータでは、マスク ROM に欠陥があるとデータ処理等そのものにエラーが発生して全体が不良となってしまう。特に、自動車搭載用のように高信頼性が要求される 1 チップのマイクロコンピュータでは、高信頼性を確保するために上記マスク ROM の信頼性を確保することが重要である。上記 1 チップのマイクロコンピュータのマスク ROM において、ワード線・ビット線にショート性の欠陥が存在する場合、基本的には読み出し不良として欠陥を検出することは可能である。例えば、図 1 2 に示すように、ビット線 B 1 と B 2、ワード線 W 1 と W 2 に抵抗として示されたショート不良が存在する場合、読み出しアドレス変更によってビット線 B 1 や、ワード線 W 1 の選択時に上記ショート性の欠陥によって読み出し不良として検出することが可能である。

## 【 0 0 0 4 】

しかしながら、ショート性の欠陥が微妙な場合には、つまり、比較的大きな抵抗値を持って上記ワード線やビット線にショート不良が存在する場合には、上記図 1 2 のようなビット線 B 1 やワード線 W 1 を選択しても読み出し不良とされる場合とされない場合とが生じる。このために上記のような微妙なショート不良に対しては、テストで検出する為のテスト条件 (測定電圧、温度等) の組み合わせが多くなり、しかも同じテスト条件でも何回かの読み出し動作に 1 回の割合で不良になるようなものについては、テストに長時間を費やすようにしても確実に不良検出を行うことができないという問題がある。

## 【 0 0 0 5 】

本発明の目的は、簡単に高い精度でメモリ回路のショート性不良を検出するこ

とができる半導体装置とテスト方法を提供することにある。本発明の他の目的は、効率よくメモリ回路のショート性不良を検出することができる半導体装置とテスト方法を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。複数のワード線と複数のビット線とに結合された複数のメモリセルが配置されてなるメモリ回路に対して、テストモードのときに複数のワード線又はビット線の隣接するもの同士に所定電位を印加する動作及び複数のワード線を選択状態にし、かつ上記複数のビット線の全てを回路の接地電位を与える動作、複数のビット線の全てをワード線を選択レベルに対応した所定電位にし、かつ上記複数のワード線の全てを非選択状態にする動作を行うようにし、半導体装置の電源端子に流れる電流を測定からワード線相互、ビット線相互及びワード線とビット線相互のショート不良等の検出を行う。

#### 【 0 0 0 7 】

##### 【発明の実施の形態】

図 1 には、本発明に係る半導体装置に搭載されるマスク ROM (Read Only Memory) のようなメモリ回路の一実施例のブロック図が示されている。この実施例のメモリ回路は、例示的に示されているワード線  $W_0 \sim W_4$ 、 $W_{n-4} \sim W_n$  と、ビット線  $B_0 \sim B_2$ 、 $B_{n-2} \sim B_n$  の交点にメモリセルが配置されてメモリアレイが構成される。同図には、メモリセルは省略されているが、ワード線にゲートが接続され、ビット線と回路の接地電位との間にソース、ドレイン経路が接続される MOSFET から構成される。この MOSFET は、ワード線を選択レベルに対してビット線と回路の接地電位との間に記憶情報に従ってメモリ電流を流すか否かの動作を行う。

#### 【 0 0 0 8 】

上記メモリセルの記憶情報は、MOSFET の製造プロセスに使用されるマスクを用いて、MOSFET のしきい値電圧を上記ワード線を選択レベルに対して



高いものと低いものを形成すること、あるいはMOSFETのドレインとビット線の間を接続するコンタクトを選択的に形成すること、あるいはMOSFETのワード線とゲートとの間を接続するコンタクトを選択的に形成すること等により、上記のようにワード線の選択動作に対して、MOSFETを通してビット線からメモリ電流が流れる場合と流れない場合との2つの状態を作るようにするものである。

## 【 0 0 0 9 】

上記MOSFETのしきい値電圧を上記ワード線の選択レベルに対して高いものと低いものを形成する手段としては、MOSFETのゲート絶縁膜の膜厚を厚いものと薄いものとを形成すること、あるいはゲート電極下のチャネル領域の不純物をイオン打ち込み技術によって変更すること等により実現できる。また、上記MOSFETのワード線とゲートとの間を接続するコンタクトを選択的に形成することは、ワード線をMOSFETのゲート電極とは異なる配線層を用いて形成することにより実現できる。

## 【 0 0 1 0 】

Xデコーダは、上記複数のワード線 $W_0 \sim W_n$ の中から1本のワード線を選択するワード線の選択信号を形成する。Yデコーダは、上記複数のビット線 $B_0 \sim B_n$ の中から1本のビット線を選択し、かかるビット線の読み出し信号をセンスアンプ等を含む読み出し系回路に導く。

## 【 0 0 1 1 】

この実施例では、上記メモリアレイのワード線相互のショート不良、ビット線相互のショート不良、ワード線とビット線間のショート不良、あるいはワード線と基板間のショート不良、ビット線と基板間のショート不良等を短時間で効率よく、しかも高い精度で検出するために、Xデコーダ、Yデコーダには通常の読み出し動作とは異なるテスト用のワード線、ビット線の選択動作を行う制御回路が設けられる。また、ビット線には充電制御回路と、それにより制御される充電MOSFETと放電MOSFETが設けられる。同図には、代表としてビット線 $B_0$ と $B_1$ に設けられるMOSFETに回路号 $Q_1 \sim Q_4$ が付加されている。

## 【 0 0 1 2 】

また、テストモード設定用に外部（PORT）端子とゲート回路G1，G2が設けられて上記制御回路及び充電制御回路及び論理回路（PORT LOGIC）の動作が制御される。例えば、ユーザーモードとされる通常の動作モードでは、信号sig1が論理0でsig2が論理1にされ、テストモードでは、信号sig1が論理1でsig2が論理0にされる。そして、上記テストモードのときに、PORT端子の論理1と論理0に設定して後述するような複数のテスト動作の設定が可能にされる。

## 【0013】

上記Xデコーダ内に設けられた制御回路は、ワード線を全選択・1ワード線置きを選択を可能とさせる。また、ビット線を充電・放電可能とする為のスイッチMOSFETQ1～Q4は、レイアウト面積増加を防止する為、メモリセルに利用されるMOSFETと同じ電流駆動能力とする。つまり、メモリセルと同一の構造のMOSFETを用いて、充放電スイッチセルとして使用する。これらのスイッチMOSFETQ1～Q4は、ワード線と同様に1ビット線置きに充電や放電とするために、1つおきのビット線B0とB2、Bn-1などの偶数ビット線の充電用と放電用のMOSFETのゲートがそれぞれ共通に接続され、ビット線B1、Bn-2及びBnなどの奇数ビット線の充電用と放電用のMOSFETのゲートがそれぞれ共通に接続される。

## 【0014】

上記ビット線の充電時、読み出し系回路へのリーク電流の発生を遮断する為、Yデコーダ内に設けられた制御回路は、ビット線選択スイッチ（カラムスイッチ）をオープンとさせるべく制御信号を形成する。また、上記ビット線を充電する為のスイッチMOSFETQ1、Q3等は、NチャネルMOSFETとする事で、ビット線への過剰充電を防止させ、ユーザーモードにおいて読み出し系がビット線に印加する電圧とコンパチビリティを保つようにするものである。すなわち、通常の読み出し動作では、読み出し系からNチャネルMOSFETで構成された負荷MOSFETによって電流供給が行われ、メモリセルに流れる電流の有無に対応してハイレベル／ロウレベルのセンスが行われる。

## 【0015】

図 2 には、図 1 のメモリ回路に対するテスト動作の一例を説明するための回路図が示されている。同図において、ワード線  $W_0 \sim W_n$  のうち、ワード線  $W_0$ 、 $W_2$ 、 $W_4 \dots W_{n-3}$ 、 $W_{n-1}$  に太い線で示したように選択レベル（ハイレベル）とし、ワード線  $W_1$ 、 $W_3 \dots W_{n-4}$ 、 $W_{n-2}$ 、 $W_n$  に細い線で示したように非選択レベル（ロウレベル）とするよう、全ワード線  $W_0 \sim W_n$  を 1 ワード線置きにハイボルテージ・ロウボルテージを繰り返させる。これにより、隣接するワード線相互のショート不良を検出させる事を可能にする。

## 【 0 0 1 6 】

このとき、ビット線  $B_0 \sim B_n$  の全てが細い線で示したようにロウレベルにさせられ、上記ビット線  $B_0 \sim B_n$  を選択動作を行うカラムスイッチの全てがオフ状態にさせられる。上記ビット線をロウレベルにするために、ビット線  $B_0 \sim B_n$  に設けられた放電用の MOS FET  $Q_2$ 、 $Q_4$  等がオン状態にされる。このようにビット線  $B_0 \sim B_n$  がロウレベルにさせ、全カラムスイッチをオフ状態にすることは、上記ワード線相互のショート不良の検出のためには不可欠である。

## 【 0 0 1 7 】

なぜなら、上記ハイレベルにされたワード線  $W_0$ 、 $W_2$ 、 $W_4 \dots W_{n-3}$ 、 $W_{n-1}$  のいずれかに 1 つでもオン状態にされた MOS FET が存在しても（通常、マスク ROM では、プログラム等の記憶情報が記憶されているので、ワード線  $W_0$ 、 $W_2$ 、 $W_4 \dots W_{n-3}$ 、 $W_{n-1}$  に接続される全メモリセルがオフ状態であることの確率はゼロに近い）、上記いずれのビット線  $B_0 \sim B_n$  にもメモリ電流は流れない。また、いずれか 1 つのビット線がカラムスイッチを通して読み出し系回路に接続されていると、そこから上記ビット線に流れ込む電流が存在するので、かかる電流を遮断するために上記全カラムスイッチがオフ状態にさせられる。これにより、メモリ回路を含む半導体装置の電源端子に流れる電流を測定することにより、上記ワード線相互のショート不良に対応したリーク電流を検知することができる。

## 【 0 0 1 8 】

図 3 には、図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図が示されている。同図において、全てのワード線  $W_0 \sim W_n$  を太い線で示

したように選択レベル（ハイレベル）にされる。そして、ビット線  $B_0 \sim B_n$  も上記図 2 と同様に全てが細い線で示したようにロウレベルにさせられ、全カラムスイッチがオフ状態にさせられる。これにより、上記ワード線を選択レベルによりオン状態にさせられるメモリセルが存在しても、それに影響を受けないで、ワード線とビット線間のショート不良、あるいはワード線と基板間のショート不良を上記電源端子に流れる電流測定より検知することができる。言い換えると、図 3 の様に全ワード線をハイボルテージにさせ、全ビット線をロウボルテージにさせる事によりワード線～基板間ショート不良、ワード線～メモリドレイン間ショート不良、ワード線～メモリソース間ショート不良、ワード線～ビット線間ショートを検出させる事が可能となる。

#### 【 0 0 1 9 】

図 4 には、図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図が示されている。同図において、ビット線  $B_0 \sim B_n$  のうち、ビット線  $B_0$ 、 $B_2 \dots B_{n-1}$  に太い線で示したようにハイレベルとし、ビット線  $B_1 \dots B_{n-2}$ 、 $B_n$  に細い線で示したようにロウレベル（回路の接地電位）にするよう、全ビット線  $B_0 \sim B_n$  を 1 ビット線置きにハイボルテージ・ロウボルテージを繰り返させる。このため、ビット線  $B_0 \sim B_n$  に設けられる充電用、放電用 MOSFET が 2 組に分けられて充電制御回路により、上記ハイレベル／ロウレベルの設定が行われる。そして、全てのワード線  $W_0 \sim W_n$  は細い線で示したように非選択レベルに対応したロウレベルにされ、全カラムスイッチはオフ状態にされる。これにより、前記同様に隣接するビット線相互のショート不良を電源端子に流れる電流の測定によって検出させる事を可能にする。

#### 【 0 0 2 0 】

図 5 には、図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図が示されている。同図において、全てのビット線  $B_0 \sim B_n$  を太い線で示したように選択レベル（ハイレベル）にされる。そして、ワード線  $W_0 \sim W_n$  も上記図 4 と同様に全てが細い線で示したようにロウレベルにさせられ、全カラムスイッチがオフ状態にさせられる。これにより、上記ハイレベルにされるビット線に接続され、ワード線を選択状態によりオン状態にさせられるメモリセルが存在

してもそれに影響されないで、ビット線とワード線間のショート不良、あるいはビット線と基板間のショート不良を上記電源端子に流れる電流測定より検知することができる。言い換えると、図5の様に全ビット線をハイボルテージにさせ、全ワード線をロウボルテージにさせる事によりビット線～基板間ショート・メモリドレイン～基板間ショートを検出させる事が可能となる。

#### 【 0 0 2 1 】

なお、前記公報に記載された技術では、主として回路にストレスを印加するためのものであり、例えばワード線だけを交互に選択／非選択レベルにただけでは、メモリセルに流れる電流を阻止することができず、前記のようなワード線相互のショート不良を判別することができない。また、同様にビット線を交互にハイ／ロウレベルにただけでは、メモリセルに流れる電流を阻止することができず、前記のようなビット線相互のショート不良を判別することができず、公報に記載の技術と本願発明とは明確に区別されるものである。

#### 【 0 0 2 2 】

図6には、本発明に係る半導体装置に搭載されるメモリ回路の一実施例の概略回路図が示されている。この実施例のメモリ回路は、基本的には前記図1のメモリ回路と同様であり、かかるメモリ回路に低消費電力制御回路としてのダミービット線DB1と、それに対応したダミーのカラムスイッチ及びダミーセンスアンプDSAが設けられる。ダミーセルDMCは、ワード線W0～Wnのそれぞれの選択レベルに対応してオン状態になるようにされる。

#### 【 0 0 2 3 】

メモリアレイの読み出し動作において、ワード線W0～Wnのいずれか1つが選択状態にされると、ダミービットDB1に設けられたダミーセルDMCには常にメモリ電流が流れてロウレベルが読み出される。これをダミーセンスアンプDSAがセンスして、制御回路にロウレベルの読み出し信号を伝えると、センスアンプ活性化信号φReadが活性状態から非活性状態にされる。この結果、センスアンプSA15等の動作時間を必要最小に設定でき、センスアンプで消費される直流電流が削減されて低消費電力化が可能になる。

#### 【 0 0 2 4 】

つまり、制御回路によりタイミング信号 $\phi$ のハイレベルに同期して、センスアンプ活性化信号 $\phi$  Read がハイレベルにさせて、上記ダミーセンスアンプ D S A を含むセンスアンプを活性化する。このセンスアンプの活性化によって、選択されたビット線からの読み出し信号のセンス動作を行う。上記のようにダミーセンスアンプ D S A は、ロウレベルの読み出し信号を形成するので、これを上記制御回路に伝えてセンスアンプ活性化信号 $\phi$  Read を活性状態から非活性状態にさせるものである。

## 【 0 0 2 5 】

メモリアレイは、前記のような複数のワード線  $W_0 \sim W_n$  と、複数のビット線  $B_0, B_1 \dots$  の交点にメモリセル MC を構成する MOS F E T が設けられる。この MOS F E T と同じ構造の N チャネル MOS F E T を用いて、ビット線バイアス回路（前記充電／放電 MOS F E T）を構成する MOS F E T  $Q_1 \sim Q_4$  等が構成され、メモリアレイのレイアウト面積増加が防止できる。特に制限されないが、メモリアレイからは 16 ビットの単位で読み出し信号が出力される。このため、センスアンプは  $SA_0 \sim SA_{15}$  のように 16 個設けられるが、同図にはそのうちの 1 つ  $SA_{15}$  が代表として例示的に示されている。上記センスアンプ  $SA_0 \sim SA_{15}$  の読み出し信号は、バス  $BUS_0 \sim BUS_{15}$  を通して図示しないマイクロプロセッサ等に伝えられる。

## 【 0 0 2 6 】

制御回路 A は、テスト信号  $TEST_5, TEST_6$  及び  $TEST_7N$  を受けて、上記 MOS F E T  $Q_1 \sim Q_4$  のゲートに供給される信号  $BB_3 \sim BB_0$  を形成する。これにより、前記図 4 のようにビット線  $B_0 \sim B_n$  を 1 本置きに選択レベルにする動作、図 5 のように全ビット線をハイレベルにする動作、図 2、図 3 のように全ビット線をロウレベルにする動作を制御する。

## 【 0 0 2 7 】

X デコーダに設けられた制御回路 B は、テスト信号  $TEST_2, TEST_3$  及び  $TEST_4$  を受けて、前記図 2 のようにワード線  $W_0 \sim W_n$  を 1 本置きに選択レベルにする動作、図 3 のように全ワード線を選択レベルにする動作、図 4、図 5 のように全ワード線を非選択レベルにする動作を制御する。

## 【 0 0 2 8 】

Yデコーダに設けられた制御回路Cは、テスト信号TEST1Nを受けて、前記図2～図6のようにダミービット線DB1を含む全てのカラムスイッチをオフ状態にする動作を制御する。

## 【 0 0 2 9 】

図7には、前記図6の制御回路Aの一実施例の回路図が示されている。この実施例では、インバータ回路N1～N5、ナンドゲート回路G1～G4及びドライバDV0～DV3から構成される。テスト信号TEST5は、奇数ビット線の充電／放電制御を行うもので、ハイレベルのときに充電を指示し、ロウレベルのときに放電を指示する。テスト信号TEST6は、偶数ビット線の充電／放電制御を行うもので、ハイレベルのときに充電を指示し、ロウレベルのときに放電を指示する。テスト信号TEST7Nは、ビット線電位制御のイネーブル信号であり、ロウレベルのときに上記テストモードに設定する。

## 【 0 0 3 0 】

ワード線Wn又はワード線Wn-1のいずれかがハイレベルのときに、制御信号BB0～BB3の全てがロウレベルにされる。この理由は、全ワード線が選択、若しくはハイ、ロウボルテージが1ワード線おきに印加された状態でビット線にバイアスを印加すると、選択状態となった複数のメモリに電流が流れ、この電流の総和により回路破壊や配線溶断を引き起こすことを防止する為である。又、マスクROMの電流試験を行う時にセンスアンプ～ビット線バイアス回路間の貫通電流の発生を防止する為に、制御回路CによりYデコーダ内のスイッチは全部遮断される。

## 【 0 0 3 1 】

図8は、前記図6の制御回路Cの一実施例の回路図が示されている。この実施例では、ナンドゲート回路G6～G8及びドライバDV6～DV8から構成され、例示的に示されているカラム選択スイッチY0、Y1及びYDを形成する。2ビットのアドレス信号a1、a2と反転信号a1Nと、a2Nにより4通りの組み合わせのうち、同図では2通りY0とY1及びYDが形成される。このようなYデコーダにテスト信号TEST1Nが供給されて、かかる信号TEST1Nの

ハイレベルにより Y デコーダが活性化され、ロウレベルで Y デコーダが非活性（全カラムスイッチがオフ状態）にされる。

#### 【 0 0 3 2 】

図 9 には、前記図 6 の制御回路 B の一実施例の回路図が示されている。この実施例では、インバータ回路 N 1 0 ～ N 1 5、ナンドゲート回路 G 1 0 ～ G 1 5 等により構成される。テスト信号 T E S T 4 のハイレベル、T E S T 3 のロウレベル及び T E S T 2 のハイレベルにより全ワード線がハイレベルの選択レベルにされ、テスト信号 T E S T 4 のハイレベル、T E S T 3 のハイレベル及び T E S T 2 のロウレベルにより全ワード線がロウレベルの非選択レベルにされ、テスト信号 T E S T 4 のロウレベル、T E S T 3 のハイレベル及び T E S T 2 のロウレベルにより全ワード線が交互にハイレベルとロウレベルにされる。そして、テスト信号 T E S T 4 のハイレベル、T E S T 3 のハイレベル及び T E S T 2 のハイレベルにより、例示的に示されている X 系アドレス信号のプリデコード信号 b 0 ～ b 9 の組み合わせ（同図では組み合わせは省略）により 1 つのワード線がハイレベルの選択レベルにされる。

#### 【 0 0 3 3 】

図 1 0 には、この発明に係る半導体装置のテスト動作を説明するためのブロック図が示されている。半導体装置は、中央処理装置（又はマイクロプロセッサ）C P U とその周辺回路を含む 1 チップマイクロプロコンピュータを構成する。この実施例では、周辺回路の代表として R O M が例示的に示されている。回路機能に応じて一時記憶等の R A M や、入出力回路（ポート）あるいは A / D 変換器や D / A 変換器、シリアルインターフェイス回路等が設けられるが、同図では省略させられている。

#### 【 0 0 3 4 】

上記 C P U と R O M とは内部バス B U S を介して接続される。R O M 内には、通常動作モードにおいて、上記 C P U によって実行されるべき制御プログラム乃至複数の命令コードが格納され、上記内部バスを介して制御プログラム乃至複数の命令コードが C P U に供給され、C P U によって実行される。上記テスト回路に関連するものとして、モード制御回路とポート（入力回路）が設けられる。こ



これらの半導体装置は、プロービング検査では半導体ウェハ上のチップ（chip）状態であり、最終検査ではパッケージ（PKG）に組み立てられた状態である。このような半導体装置の検査のために、ロジックテストが用いられる。ロジックテストは、テストモード設定信号発生回路と、制御信号発生回路、電源供給回路、電位検出回路及び電位判定回路を含む。

## 【 0 0 3 5 】

テストモード設定回路は、CPUのスタンバイ（standby）、ポート制御を受け持つ。制御信号発生回路は、テストモードにおいてポートを制御してテスト信号TEST1N～TEST7Nの入力を行う。電源供給回路は、電源電圧Vccと回路の接地電位GNDを供給し、合わせて電源端子に流れる電流の検知を行う。電位検出回路は、ROM等の読み出し信号の電位を検出し、電位判定回路は、期待値との良否判定を行う。

## 【 0 0 3 6 】

プロービング検査では、ウェハプローバのプローブ針によりチップの外部端子に対応した電極と電氣的にロジックテストと接続され、最終検査では半導体装置をロジックテストのテスト基板に挿入して電氣的に接続される。ロジックテストにより、上記マイクロプロコンピュータをテストモードに設定し、スタンバイ試験、ROMスタンバイ試験、AC試験の順でテストが実施される。

## 【 0 0 3 7 】

図11には、この発明に係る半導体装置のテスト動作を説明するためのフローチャート図が示されている。この発明に係るテスト方法は、P検（プロービング検査）と終検（最終検査）に適用される。

## 【 0 0 3 8 】

上記P検では、スタンバイ試験が実施される。スタンバイ試験は、半導体装置の直流試験であり、内部回路をスタンバイ状態にして電源電流の測定や、入力端子や出力端子でのリーク電流を測定する。この後に、ROMスタンバイ試験が実施される。このROMスタンバイ試験は、前記図2ないし図5に示したようにワード線やビット線の電位を設定して、電源端子でのリーク電流を測定する。このリーク電流の測定は、電源供給回路により行われる。

## 【 0 0 3 9 】

このリーク電流の判定には、特に制限されないが、前記スタンバイ試験でのリーク電流が基準とされる。前記図 2 ～ 5 の各試験において、半導体装置に搭載されるメモリ回路や他のマイクロプロセッサ等の全ての回路がスタンバイモードにされ、そのときの良品に対する電流増加を観測する。つまり、良品の電流に対して電流増加が観測されればショート性の欠陥が存在するものと判定し、当該サンプルは不良とする。通常、良品はスタンバイ状態では数  $\mu$  A 程度の電流しか観測されない為、十数  $\mu$  A 程度の電流が発生するサンプルを不良と判定すれば、0.5 M $\Omega$  程度の抵抗値をもったショート性の欠陥をも確実に不良と判定する事が可能になる。そして、それに費やされる時間は、上記図 2 ～ 図 5 のような 4 通りの動作しか無いので、極めて短い時間内で実施することができる。

## 【 0 0 4 0 】

つまり、スタンバイ試験で良品となったものについて、ROMスタンバイ試験を実施し、そこで良品となったものについて AC 試験を行う。AC 試験は、ROM に関しては、読み出し動作を行って期待値との比較により良否判定を行う。この AC 試験には、ROM 他に CPU や図示しない他の周辺回路に対する動作試験も含まれる。この AC 試験に、電位検出回路や電位判定回路が用いられる。

## 【 0 0 4 1 】

P 検において良品と判定されたチップがパッケージに組み立てられて、エージングが実施される。このエージングは、高温度中で半導体装置を動作させて初期不良を加速させて、次の終検で不良品として取り除くものである。

## 【 0 0 4 2 】

終検においても、前記 P 検と同様に最初にスタンバイ試験が実施される。このスタンバイ試験で良品となったものについて、ROMスタンバイ試験が実施される。この ROMスタンバイ試験は、前記図 2 ないし図 5 に示したようにワード線やビット線の電位を設定して、電源端子でのリーク電流を測定する。ROMスタンバイ試験で良品とされたものについて、AC 試験が実施されて、これにより良品となったものが出荷される。

## 【 0 0 4 3 】

上記のようにスタイバイ試験（直流試験）とＡＣ試験の間に、この発明に係るＲＯＭスタンバイ試験を挿入することにより、ＡＣ試験では専ら動作確認にすることができるので、ＡＣ試験においてショート性不良を検知するような複雑な試験パターンが不要となり、ＡＣ試験の試験時間の短縮化を図ることができる。これにより、全体として効率よくしかも信頼性の高いテストングを実施することができる。

## 【 0 0 4 4 】

以上説明した本願発明においては、ショート性の欠陥をＲＯＭスタンバイモードでスタンバイ電流として検出可能な為、 $0.5\text{M}\Omega$ 程度の抵抗をもった欠陥も確実に検出可能となる。従来、メモリ内の欠陥を解析する場合、読み出しモード試験時に確認された不良アドレスから、製品毎に異なるフィジカルビットマップを用いてチップ上の不良セルを特定していた。今回の仕組みを導入する事により欠陥の解析が容易になる。

## 【 0 0 4 5 】

マスクＲＯＭ搭載品は、ＲＯＭ内に顧客プログラムを格納させている為、エージング時にＲＯＭを動作させる事は困難である。そこで、前記図２～図５に示したテスト動作をエージング時に行うようにし、ユーザーモードのみの動作に加え、メモリの全ビット線・ワード線に交互にバイアスを印加させる事ができる。これにより、エージング時のマスクＲＯＭの動作率を向上させる事も出来る。

## 【 0 0 4 6 】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。ＲＯＭのワード線やビット線を図２～図５のような電位設定する回路構成は、種々の実施形態を採ることができる。メモリ回路は、ＲＯＭの他にＲＡＭやＥＥＰＲＯＭのような電氣的に書き込みや消去も可能にされた不揮発性メモリ等であってもよい。この発明は、メモリ回路を含む各種半導体装置とそのテスト方法として広く利用できる。

## 【 0 0 4 7 】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。複数のワード線と複数のビット線の交点にメモリセルが配置されてなるメモリ回路に対して、テストモードのときに複数のワード線又はビット線の隣接するもの同士に所定電位を印加する動作及び複数のワード線を選択状態にし、かつ上記複数のビット線の全てを回路の接地電位を与える動作、複数のビット線の全てをワード線を選択レベルに対応した所定電位にし、かつ上記複数のワード線の全てを非選択状態にする動作を行うようにし、半導体装置の電源端子に流れる電流を測定からワード線相互、ビット線相互及びワード線とビット線相互のショート不良等の検出を行うことにより、ショート性の欠陥を確実に極めて短い時間内で検出することができる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体装置に搭載されるメモリ回路の一実施例を示すブロック図である。

【図 2】

図 1 のメモリ回路に対するテスト動作の一例を説明するための回路図である。

【図 3】

図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図である。

【図 4】

図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図である。

【図 5】

図 1 のメモリ回路に対するテスト動作の他の一例を説明するための回路図である。

【図 6】

本発明に係る半導体装置に搭載されるメモリ回路の一実施例を示す概略回路図である。

【図 7】

前記図 6 の制御回路 A の一実施例を示す回路図である。

【図 8】

前記図 6 の制御回路 C の一実施例を示す回路図である。

【図 9】

前記図 6 の制御回路 B の一実施例を示す回路図である。

【図 1 0】

この発明に係る半導体装置のテスト動作を説明するためのブロック図である。

【図 1 1】

この発明に係る半導体装置のテスト動作を説明するためのフローチャート図である。

【図 1 2】

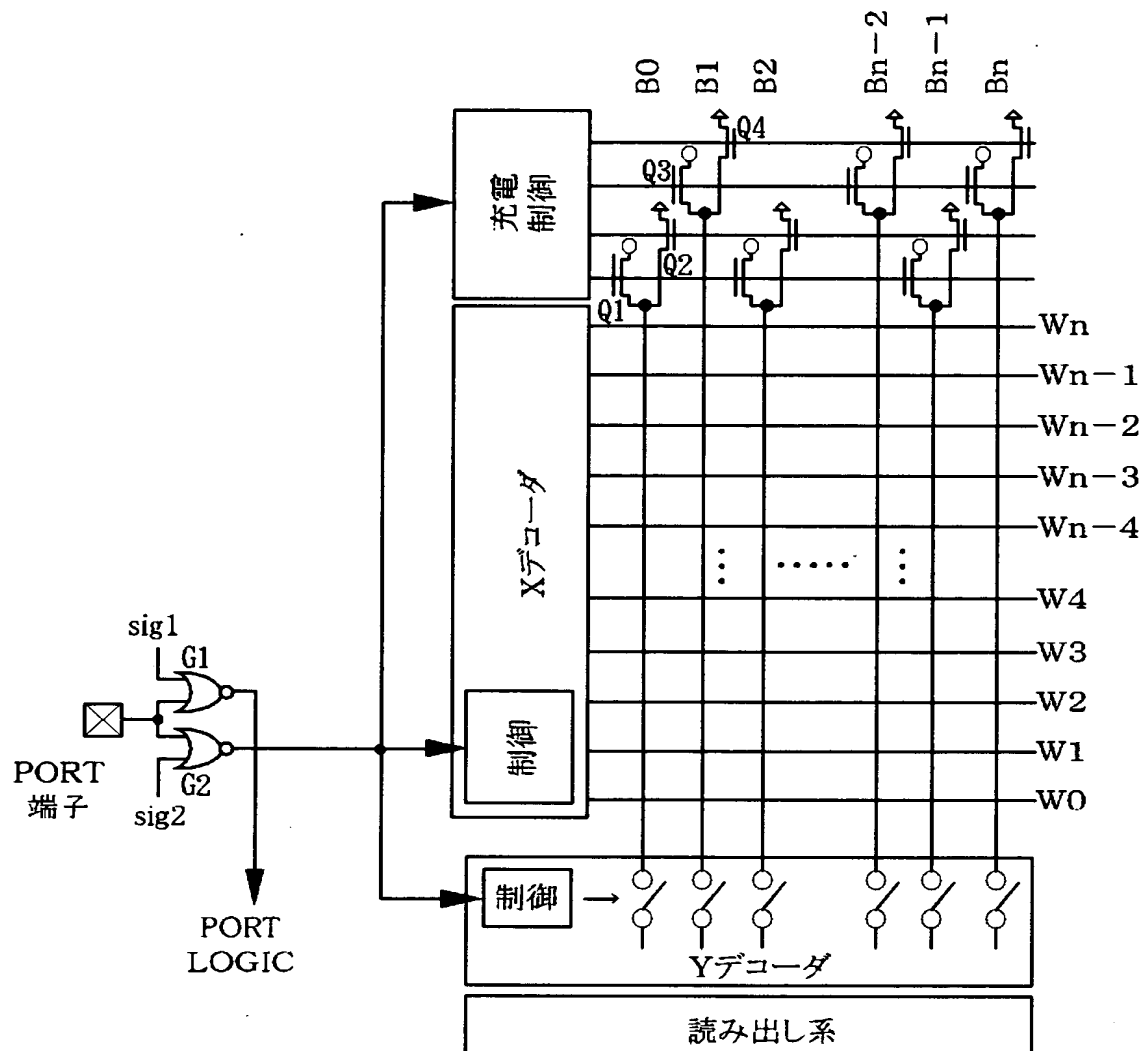
この発明に先立って検討されたテスト動作を説明するための回路図である。

【符号の説明】

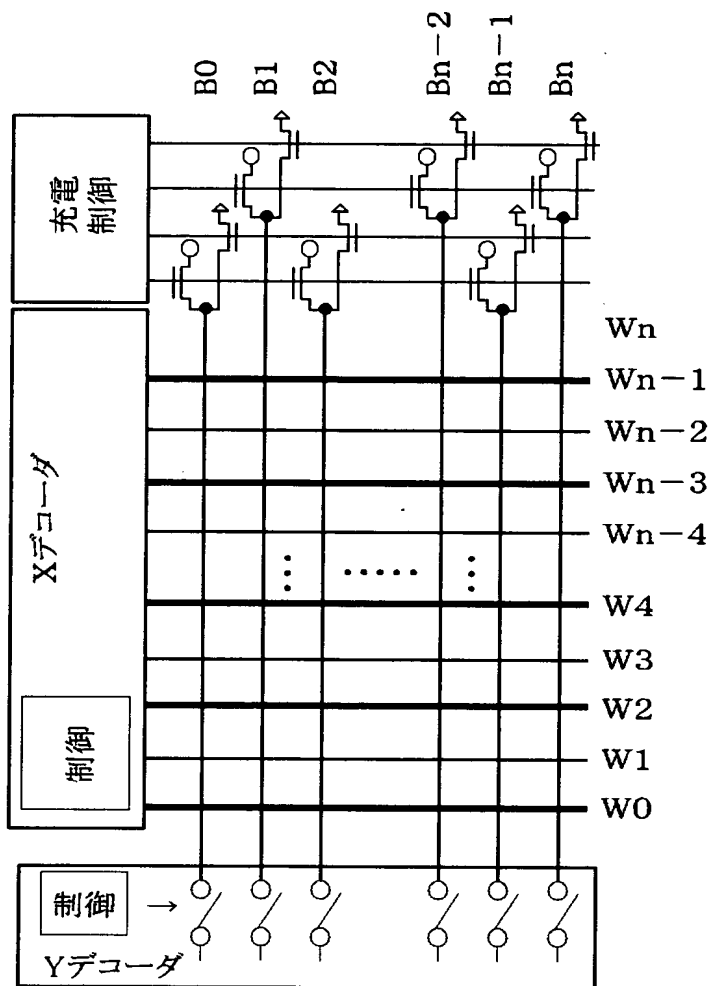
B 0 ～ B n …ビット線、W 0 ～W n …ワード線、S A 1 5 …センスアンプ、D S A …ダミーセンスアンプ、D B 1 …ダミービット線、M C …メモリセル、D M C …ダミーセル、Q 1 ～Q 6 …M O S F E T、N 1 ～N 1 5 …インバータ回路、G 1 ～G 1 5 …ゲート回路、D V 1 ～D V 8 …ドライバ、C P U …中央処理装置（マイクロプロセッサ）、R O M …メモリ回路（リード・オンリー・メモリ）。

【書類名】 図面

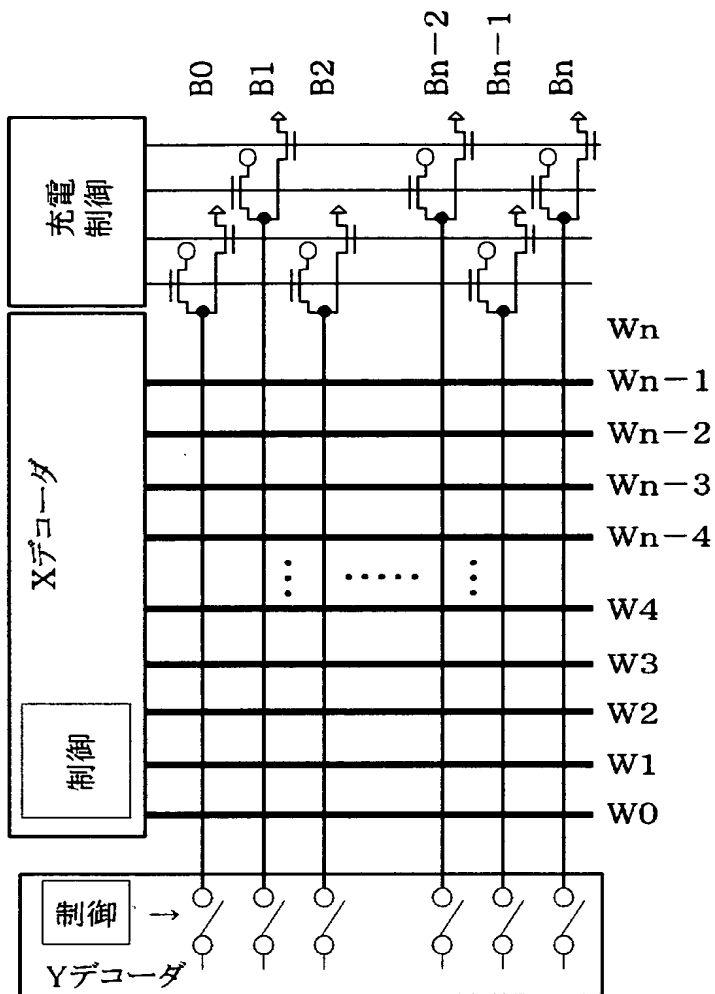
【図 1】



【図 2】

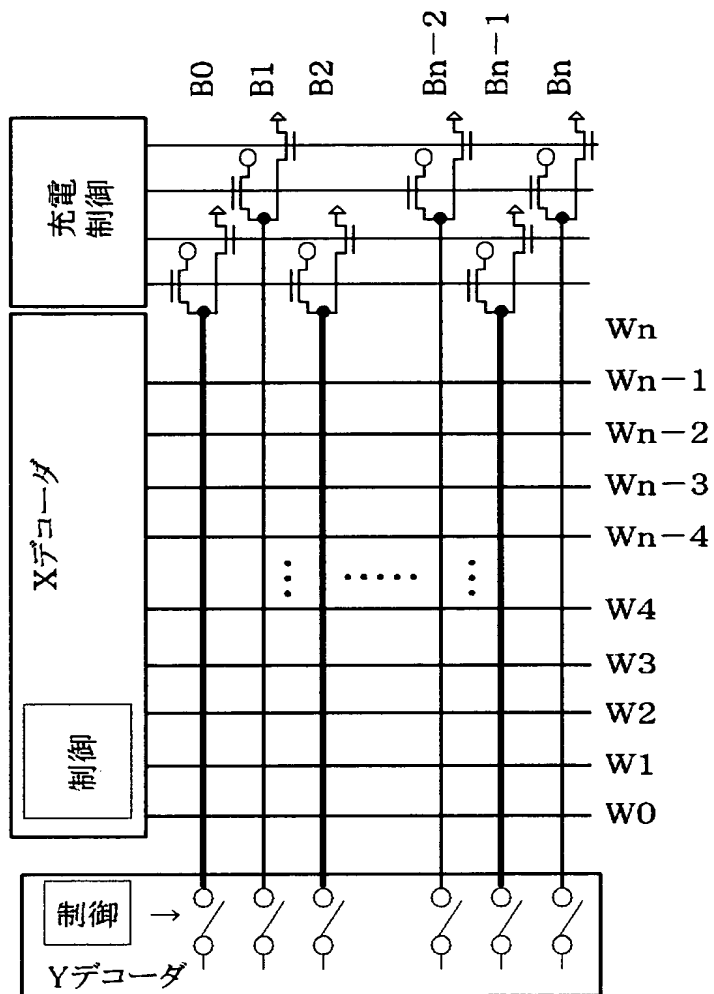


【図 3】

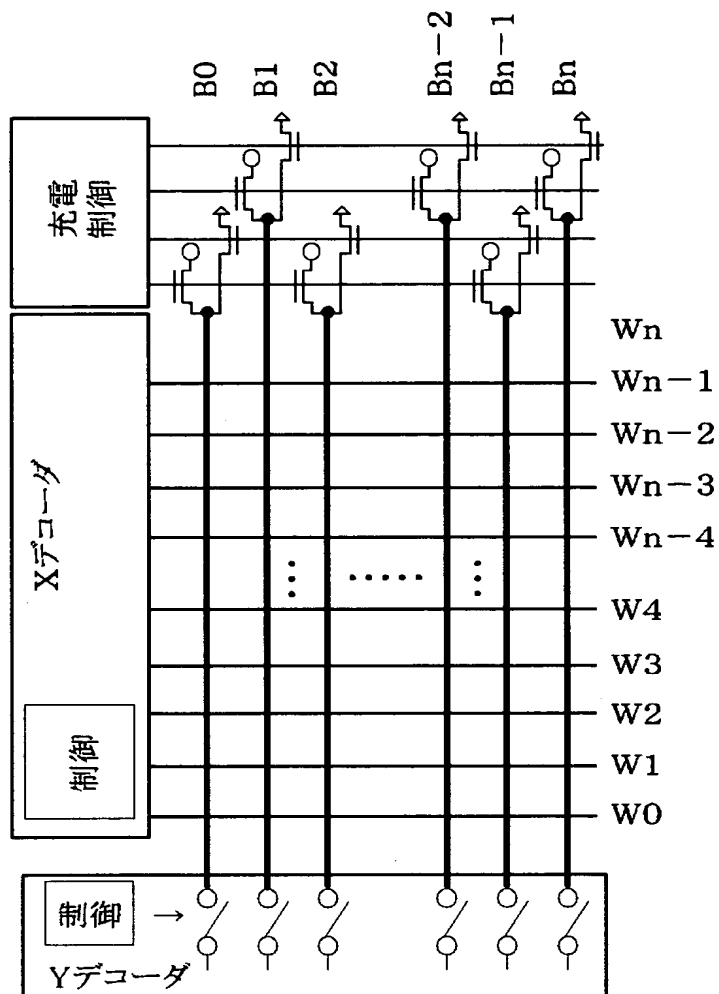




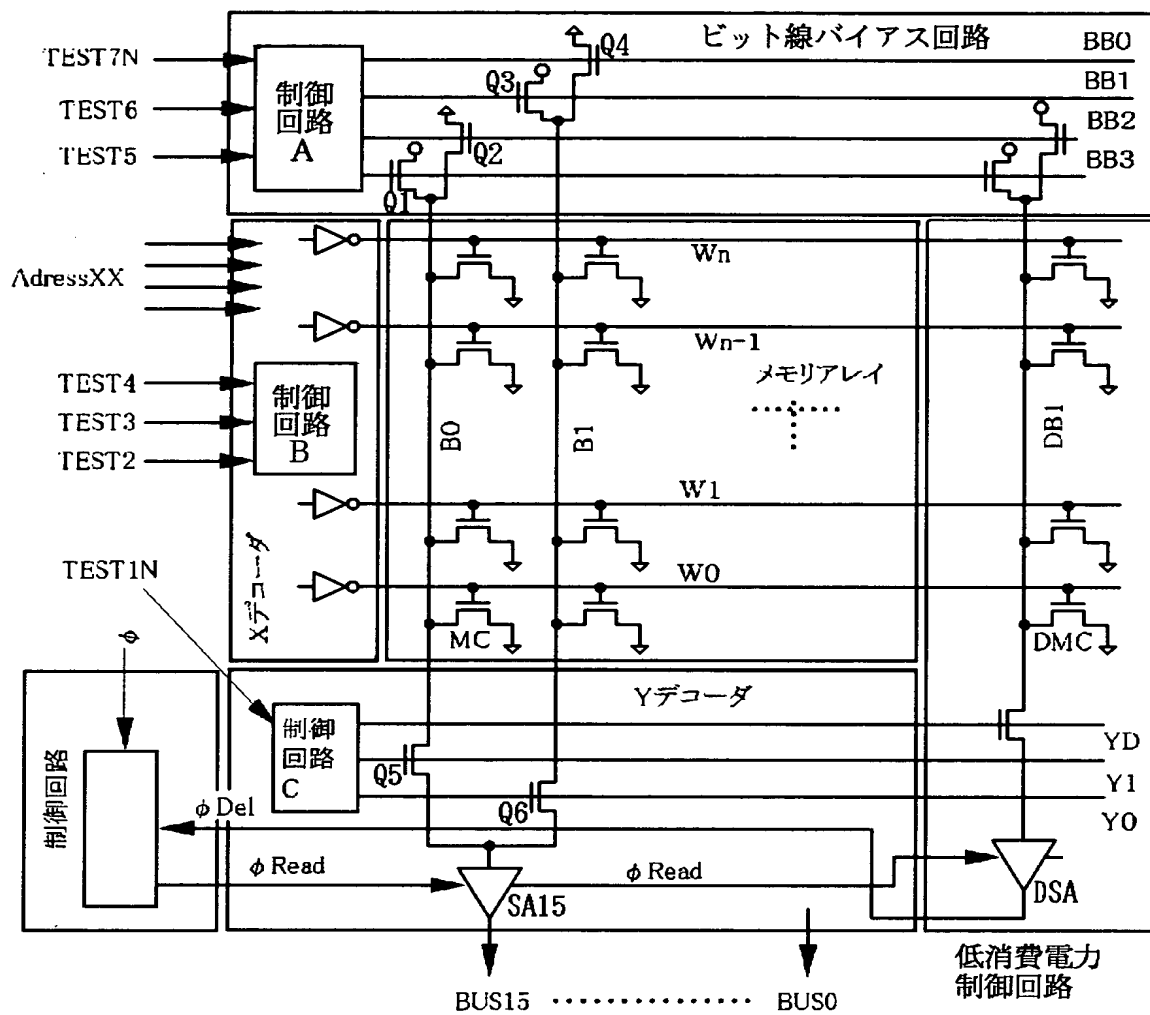
【図 4】



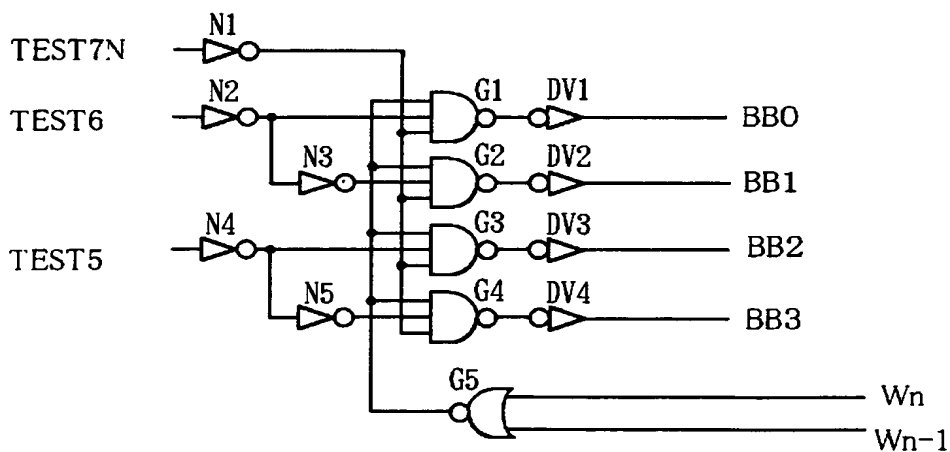
【図 5】



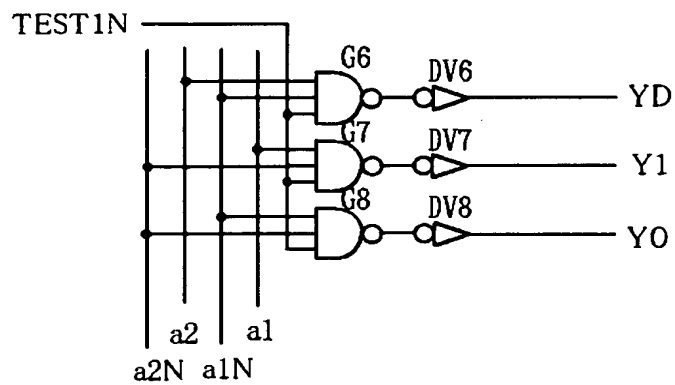
【図 6】



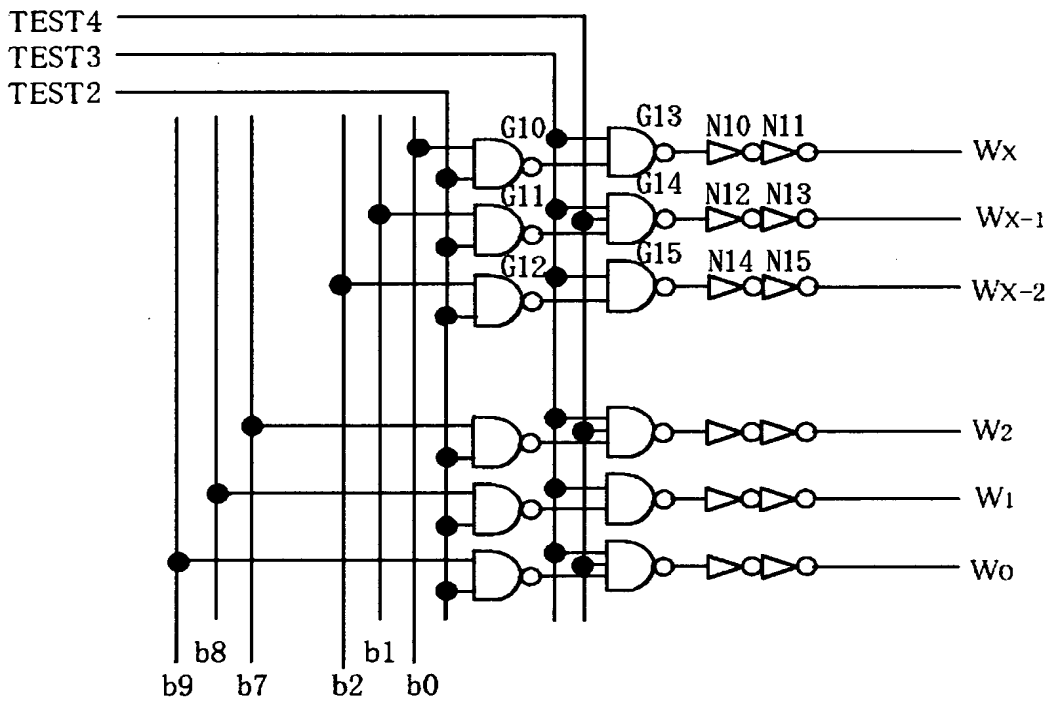
【図 7】



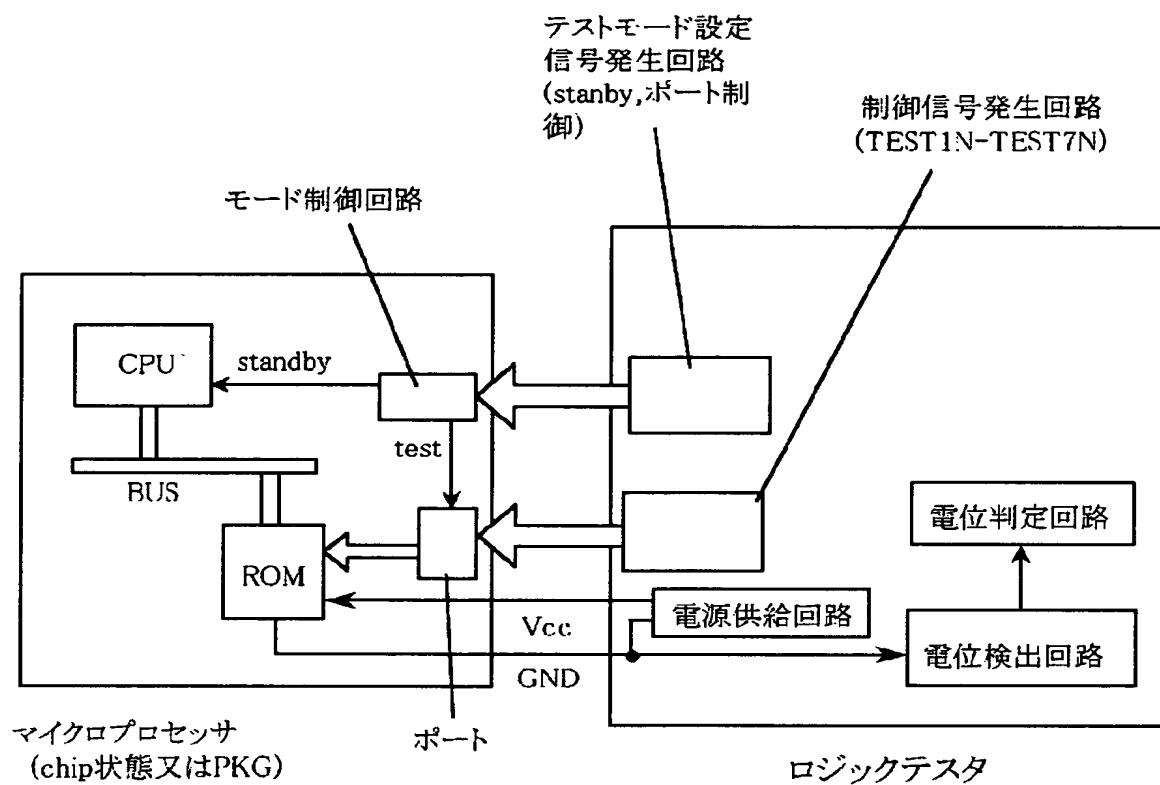
【図 8】



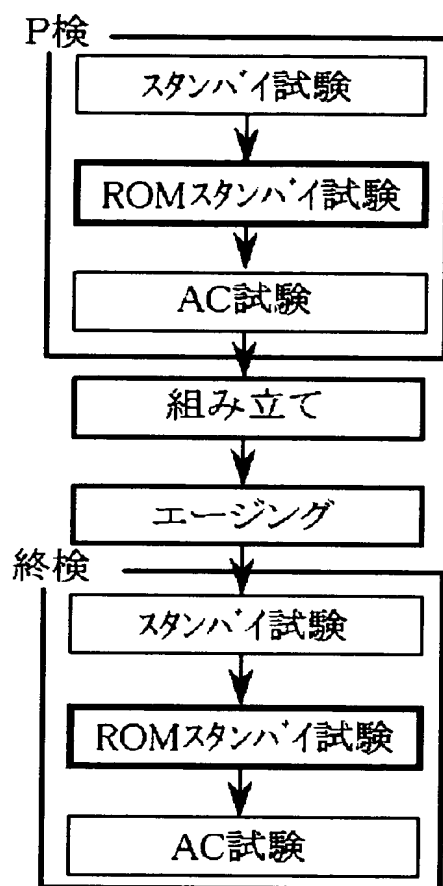
【図 9】



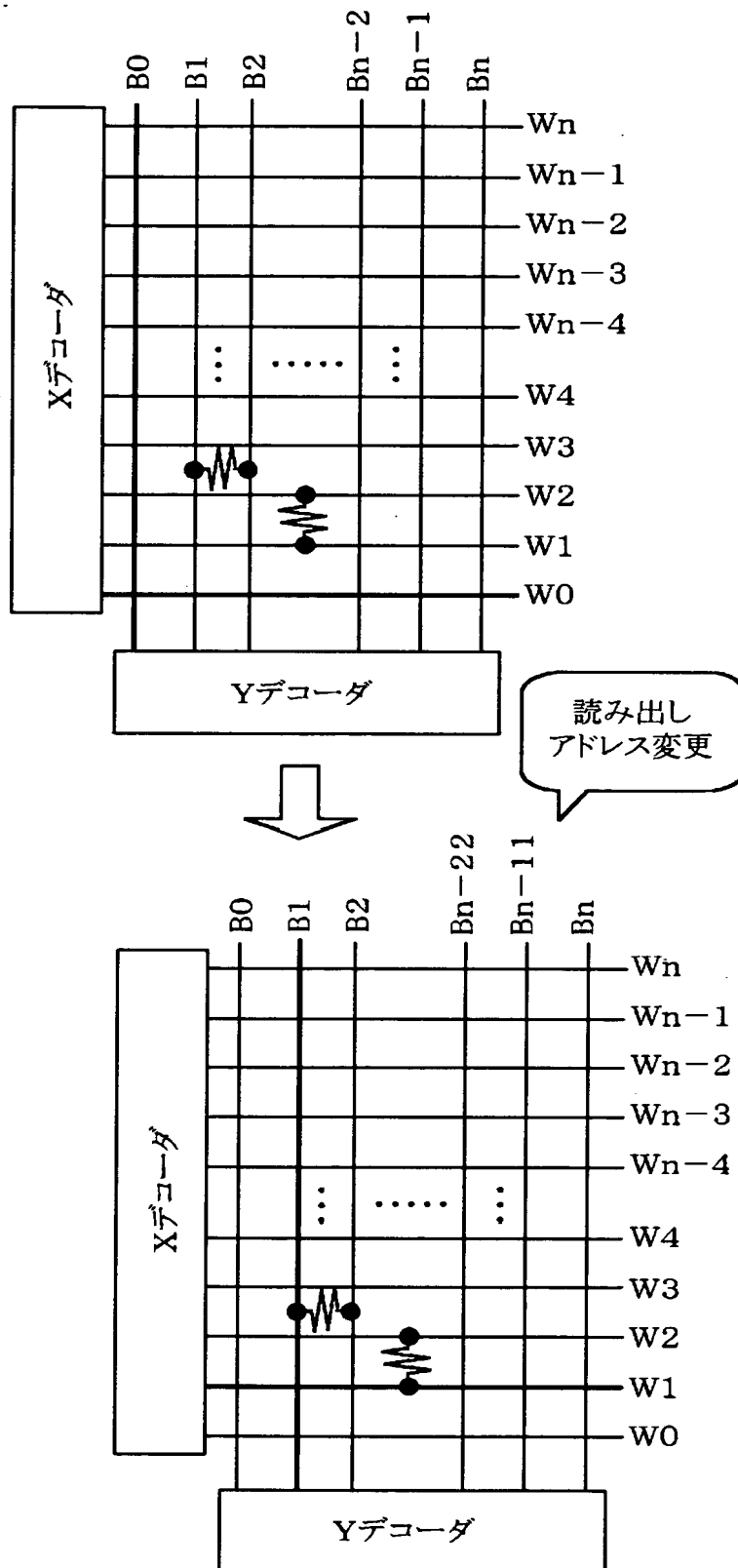
【図 1 0】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 簡単に高い精度でメモリ回路のショート性不良を検出すること、効率よくメモリ回路のショート性不良を検出することができる半導体装置とテスト方法を提供する。

【解決手段】 複数のワード線と複数のビット線の交点にメモリセルが配置されてなるメモリ回路に対して、テストモードのときに複数のワード線又はビット線の隣接するもの同士に所定電位を印加する動作及び複数のワード線を選択状態にし、かつ上記複数のビット線の全てを回路の接地電位を与える動作、複数のビット線の全てをワード線を選択レベルに対応した所定電位にし、かつ上記複数のワード線の全てを非選択状態にする動作を行うようにし、半導体装置の電源端子に流れる電流を測定からワード線相互、ビット線相互及びワード線とビット線相互のショート不良等の検出を行う。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 3 5 9 4 ]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日  
[変更理由] 新規登録  
住 所 北海道亀田郡七飯町字中島 1 4 5 番地  
氏 名 日立北海セミコンダクタ株式会社
2. 変更年月日 2 0 0 2 年 1 1 月 1 5 日  
[変更理由] 名称変更  
住 所 北海道千歳市泉沢 1 0 0 7 番地 3 9  
氏 名 株式会社北日本セミコンダクタテクノロジーズ

出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 千葉県茂原市早野3681番地  
氏 名 日立デバイスエンジニアリング株式会社